JP61248541

Publication Title:

SEMICONDUCTOR DEVICE

Abstract:

PURPOSE:To contrive to form a semiconductor device into a small size and a thin type by a method wherein the gap between two pieces of the mutually opposed semiconductor elements in a surface-to-surface symmetry is covered with a thermosetting resin in a state that the lead materials are held between the bonding pads on the surfaces of the elements, the gap between the elements is made smaller, and the amount of intrusion of alpha rays is lessened.

CONSTITUTION:In each bonding pad on the surfaces of semiconductor elements 1 and 1' having patterns A and B to be formed in a surface-to-surface symmetry, an external electrode 6 of Al and so forth is made to expose from the window 5 of a surface protective film 4, a metal film 7 of a Ti-Pd-Pb-Sn alloy solder is evaporated thereon, then the pattern of the three-layer metal film 7 is selectively formed larger than the pad 3. Then, the element 1 is made to connect its inner leads 8 with film carriers 9 in a reducing atmosphere of H2 gas and the element 1' is made to oppose to the element 1 holding the inner leads 8 between the elements 1 and 1' and is made to connect its inner leads 8 with the film carriers 9. The outer leads of the film carriers 9 obtained are connected to lead frames 10 and the semiconductor device is completed by molding the gap between the elements with a resin 11. In the memory device to be constituted in this structure, the probability of the generation of a soft error due to alpha rays to generate from the peripheral materials is extremely low because the gap between the elements is small.

Data supplied from the esp@cenet database - http://ep.espacenet.com

⑩日本国特許庁(JP)

① 特許出願公開

昭61-248541

四公開特許公報(A)

(5) Int. Cl. 4 H 01 L 25/04 23/28 識別記号

庁内整理番号

❸公開 昭和61年(1986)11月5日

7638-5F 6835-5F

審査請求 未請求 発明の数 1 (全3頁)

公発明の名称 半

半導体装置

②特 願 昭60-90072

29出 顧 昭60(1985)4月26日

20発明者 野世

幸 之 門真市大字門真1006番地 松下電子工業株式会社内

⑪出 願 人 松下電子工業株式会社

門真市大字門真1006番地

20代理人 弁理士 中尾 敏男 外1名

明 細 看

1、発明の名称

半導体装置

2、特許請求の範囲

- (1) 単一のパッケージ内に配線面が対向して接着された複数の半導体素子が含まれ、両半導体素子の回路機能が同一で、両素子の接着面から両素子 共通のリードが引き出されていることを特徴とする半導体装置。
- (2) 2ケの半導体素子の電極端子パターンが面対 称でなることを特徴とする特許請求の範囲第1項 配載の半導体装置。
- (3) 2ケの半導体素子共通のリードが銅,鉄。鉄 /ニッケル合金。鉄/ニッケル/コパルト合金の 奪板からなり、その表面は金または銀のメッキが 施されていることを特徴とする特許請求の範囲第 1 項または第2項配載の半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体装置 パッケージングに関する。

従来の技術

半導体素子の回路パターンやパッケージングは、 通常一種類の機能に対して、一種類のパターンと 一個のパッケージから構成されている。特にプラ スチックパッケージの場合は、半導体素子と外部 回路との電気的信号の授受を行うための導体部を 構成するリードフレームのパターンは二次元に配 置されている。また、リードフレームには半導体 素子を固着するためのダイアタッチ部が、低度中 央に配置され、その部分に一個の半導体素子を搭 歌する。そしてダイアタッチ部を取り囲むリード フレームの一部であるインナーリード先端部と半 導体素子のアルミニウム等からなる端子電極(以 後、ポンディングパッドと記す)部とを、金もし くは、アルミニウムからなる細線で接続する。接 続方法は、一般に熱圧着法、超音波波圧着法ある いは上記二方法の併用が用いられる。との状態の リードフレームをパッケージ成形用樹脂の容融温 度以上に設定した成形用金型上に、配置し、その 後に熱硬化性樹脂を注入して外国パッケージを形

成し、アウターリード処理を施すことで、ブラス チックパッケージが完成する。

発明が解決しようとする問題点

半導体装置が実装される電子機器は、小型・薄型・軽量化の追求の中で、半導体装置にもそれらの技術指向を求めている。特に電子機器の機能を左右する配億回路の大容量化は、半導体素子の敬細加工と、高密度化、さらには、それらの半導体素子を搭載するパッケージの小型化に依存してきた。

しかしそれらの技術指向も限界に至り、現在では、半導体大容量記憶素子のうち、特にダイナミック型RAMでは、電気的雑音や、構成材料中に 酸量に混入しているウランやトリウムから放出される α線による、電気的誤動作が深刻を問題となっているために、半導体素子表面に α線遮へ 500 のコーティング材を所定の厚さ(通常、最も高いのカで260 μm ・厚さ部分では30~50 根域的に保護出来る厚さにブラスチックで成形する

この部分へのα線侵入量を小さくし、コーティン グ材不要の高密度実装が実現できる。

寒 旅 例

半導体大容量記憶素子の構造を用いて、本発明 を実施例によって詳しくのべる。

ためにパッケージが膨大化し、その小型化が図れなかった。

問題点を解決するための手段

作 用

との構成により、対向素子間の隙間を小さくし、

ロム / 銅 /ハンダ(Pb – Sn)の三層構造 (0.3μ) (0.5~0.5μ) (1~10μ) 金属膜でを蒸着法で形成する。つぎにポンディン グパッド3より20~50 μ皿大きい三層構造金 異膜でのパターンを、通常の虚式または乾式法フ ォトリングラフ技術で形成する。とのようた方法 で作られた半導体素子1 はダイシング法でフルカ ットする。このうち、パターンAを有する半導体 素子1は、N2:H2=9:1,7:3,0:10 からなる、水素還元雰囲気中で、インナーリード Bがハンダや金のパンプのついたフィルムキャリ 79℃250~300℃の温度で接続する。さら にパターンBを有する半導体累子1/は、前述のパ ターンAを位置合わせの对称として、インナーリ ード8を挟んで表面が対向し合うように、上記品 度と雰囲気中で位置合わせの後接続する。この方 法で得られたパターンA , B の各半導体素子 1 , 1'つきのフィルムキャリア9のアウターリードを リードフレーム1 0亿熱圧着法や超音波法などで 接続し、これをパッケージ成形用樹脂11で成形 して本発明の構造が達成できる。

またとの構造は、半導体素子1 .1'の対向する 隙間を30~40 μmに保つことができる。

発明の効果

本発明の構造を有する半導体大容量記憶装置では対向した複数の半導体素子の隙間が小さいため に、周囲材料から発生したα線によるソフトエラ ーの発生確立が極めて低くなる。

また裸の半導体素子 (チップ)を対向して重ねる ために、小さなパッケージ内に収納でき、高密度 実装が図れる。

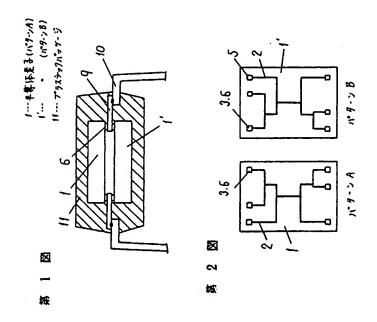
4、図面の簡単な説明

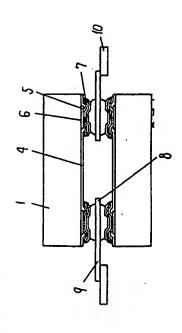
第1図は本発明による半導体装置の断面図、第 2図は一組の半導体素子のパターン略図、第3図は半導体素子がリードに取り付けられたパンプ付近の拡大断面図である。

1 ……半導体素子、2 ……構成回路パターン、
3 ……ポンディングパッド、4 ……表面保護膜、
5 ……開孔、6 ……端子電極、7 ……三層構造金属膜、8 ……インナーリード、9 ……フィルムキャリヤ、1 0 ……リードフレーム、1 1 ……パッ

ケージ成形用樹脂。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名





丒

岷